

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 62-150844

(43)Date of publication of application : 04.07.1987

(51)Int.Cl.

H01L 21/82

H01L 27/04

// H01L 27/08

(21)Application number : 60-290534

(71)Applicant : HITACHI LTD

(22)Date of filing : 25.12.1985

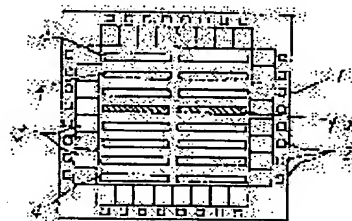
(72)Inventor : KAWASHIMA MASATOSHI

(54) LOGIC INTEGRATED CIRCUIT DEVICE

(57)Abstract:

PURPOSE: To improve the reliability of the operation of a master-slice LSI by arranging a special basic cell row substantially at the center of an LSI chip to form a gate circuit having a large drive force in a logic LSI.

CONSTITUTION: Basic cell rows 4, 4... which form a logic are regularly arranged on a rectangular region at the center of a chip surrounded by input/output buffer basic cells 3, 3... of a CMOS gate array. One row 4a at the center is composed of specific basic cells made of elements having larger width of gates than elements for forming other basic cell row. Buffers between blocks and clock drivers are formed of the specific cells. Thus, a large circuit having higher drive force than a normal circuit can be readily formed. Further, a clock skew is reduced to enhance the reliability of the operation of a master/slice LSI.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

ている。これらの基本セル列4、4、…の間の空白領域は、マスクスライスタ法によるセル間の信号線の形成に使用される。

各基本セル列4は、第2図に拡大して示すように、3個のMOSTランジスタを縦方向に沿って形成可能な大きな拡散層5、8とPウェル領域7が形成され、その上にゲート電極となるポリシリコン層8a、8b、8cが形成されてなる基本セル9が、縦方向に一列に配列されてなる。また、上記拡散層5、8およびポリシリコン層8a、8b、8cの上方には、絶縁膜（図示省略）を介して電極線となる配線パターン10a、10bが縦方向に沿って形成されている。

しかし、この実施例では、矩形状のロジック形成面に配設された基本セル列4、4、…のうち、中央の一列（図中斜線で示す）列4aは他の基本セル列を構成する素子（MOSTランジスタ）よりもサイズ（ゲート幅）の大きな素子からなる特殊基本セルによって構成されている。しかも、この特殊基本セル列4aに沿って配設される電

クロックを供給すべきフリックアップフロップのような回路が置換される場合には、それらの回路がチップ上にはばらばらに配置していても、クロックドライバから各フリックアップフロップ回路までの距離のばらつきが小さく、その結果、クロックのスキューが小さく、回路の動作が生じにくくなるという利点がある。

なお、上記実施例では、各基本セル列4aがそれぞれ左右2つに分割されているが、そのような形成に限定されず、各セル列が左右連続した形成であってもよい。また、実施例では駆動力の大きな回路を構成するための特殊基本セル4aが一列だけ設けられているが、一列の半分または二列以上設けることも可能である。

【効果】

(1) 通常の論理ゲートを構成するための基本セルからなる基本セル列の他に、プロック間バッファやクロックドライバのような駆動力の大きな回路を構成するための特殊基本セルからなる特殊基本セル列を設けてなるので、通常の基本セル内の

配線パターンは、他の一般の基本セル列4の配線配線パターンよりも煩雑を大きくしてある。

各特殊基本セル4aを構成するCMOSTランジスタの数は、一般の基本セル9（第2図参照）と同じく3個でもよいし、2個あるいは4個以上としてもよい。

この実施例のゲートアレイでは、中央部に配設された上記特殊基本セルを使って、プロック間バッファやクロックドライバを構成することができ、その場合、一般に一つのゲートアレイで用いられるプロック間バッファやクロックドライバのような駆動力の大きな回路の数はそれほど多くない。従って上記実施例のように特殊基本セル列4aは、一列あれば十分である。しかも、基本セル列4に、このような駆動力の大きな特殊基本セルを置く方式に比べて特殊基本セルの使用効率がよく、チップ面積の無駄が少なくなる。

また、上記実施例では、特殊基本セル列4aがチップの隅中央にある。従って、この特殊基本セル4aを使ってクロックドライバを構成すれば、

素子を並べて使用して駆動力を大きくしたり、また予めすべての電源配線パターンを駆動力の大きな回路にあわせて太くしておく必要がないという作用により、チップサイズを増大させたり回路の動作に妨害を加えることなく、通常の回路よりも駆動力のある大きな回路を容易に構成することができるといふ効果がある。

(2) 通常の論理ゲートを構成するための基本セルからなる基本セル列の他に、プロック間バッファやクロックドライバのような駆動力の大きな回路を構成するための特殊基本セルからなる特殊基本セル列を設けるとともに、この特殊基本セル列を、チップのはば中央に配設してなるので、特殊基本セルを使って構成したクロックドライバからクロック供給先の回路までの距離が平均化されるという作用により、クロックスキューが減少され、マスクスライスタ法による信号線の形成性が向上されるという効果がある。

以上本発明者によってなされた発明を実施例に基づき具体的に説明したが、本発明は上記実施例

…ポリシリコン層（ゲート電極）、9…基本セル、10a、10b…電源配線パターン。

に限定されるものではなく、その実施を逸脱しない範囲で種々変更可成であることはいずれもなす。例えば、上記実施例では本発明を、CMOSTゲートアレイに適用したものであるが、ECL（エミッタ・カップルド・ロジック）回路を基本回路とするECLゲートアレイその他マススライスタ方式の論理LSI一般に適用することができる。

図面の簡単な説明

第1図は、従来のゲートアレイにおけるセルのレイアウト方式の一例を示す平面図。
第2図は、基本セルの構成の一例を示す拡大平面図。
第3図は、本発明に係るゲートアレイにおけるセルのレイアウト方式の一例を示す平面図である。

1…普通体チップ、2…ボンディングパッド、3…入力バッファ用基本セル、4…基本セル列、4a…特殊基本セル列、5、6…拡散層、7…Pウェル領域、8a～8c

